

Hit List

[Clear](#)[Generate Collection](#)[Print](#)[Fwd Refs](#)[Bkwd Refs](#)[Generate OACS](#)

Search Results - Record(s) 1 through 1 of 1 returned.

1. Document ID: JP 2000195969 A

L2: Entry 1 of 1

File: JPAB

Jul 14, 2000

PUB-NO: JP02000195969A

DOCUMENT-IDENTIFIER: JP 2000195969 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: July 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
KUROI, TAKASHI	
SHIOZAWA, KATSUOMI	
ITOU, YASUYOSHI	
HOTTA, KATSUYUKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	

APPL-NO: JP10373341

APPL-DATE: December 28, 1998

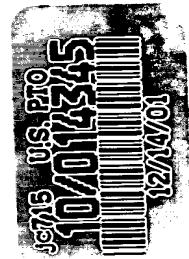
INT-CL (IPC): H01 L 21/8234; H01 L 27/088; H01 L 21/76; H01 L 27/108; H01 L 21/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To enable a portion of an active region edge in contact with a trench isolation to be identically formed by providing a second field effect element, having a second gate oxide film which a thickness different from a first gate oxide film, formed in a second active region with the same edge shape as a first active region surrounded by a trench on the principal surface of a substrate.

SOLUTION: A gate electrode 9 consists of a polysilicon layer 6 and a metal silicide layer 7, such as tungsten silicide, and a trench isolation is formed by a trench 2 and silicon oxide film 3 and 4. A capacitor 22 is formed with a storage node 18 of a polycrystalline silicon containing phosphorus, a capacitor insulating film 19 of a silicon nitride oxide film, and a cell plate 20 of a polycrystalline silicon containing phosphorus. Every active region is isolated by a trench formed with the trench 2 and the silicon oxide films 3 and 4. Since the silicon oxide film 4 is not caved in along the edge of the trench 2, even if a plurality of gate oxide films with different film thickness are formed on one chip, characteristics of a transistor will not be affected by the shape of the active region in contact with the trench isolation.

COPYRIGHT: (C) 2000, JPO



(1) Japanese Patent Application Laid-Open No. 2000-195969 (2000)

“Semiconductor Device and Manufacturing Method for the Same”

The following is the extract relevant to the present invention:

5

This invention relates to a semiconductor device and a method of manufacturing the semiconductor device, especially to isolation structures of the semiconductor device.

According to this method of manufacturing the semiconductor device, silicon oxide film 4, part along an edge of trench 2 doesn't sink because of equalization of the count and condition of rejection to silicon oxide films which formed in a surface of these active regions in the process of forming plural gate oxide films with different thickness in one chip. Therefore, it is possible to make shapes of the part which active regions adjoining trench isolation almost equal even though gate oxide films with different thickness are formed in a surface.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-195969

(P2000-195969A)

(43)公開日 平成12年7月14日 (2000.7.14)

(51)Int.Cl.⁷
H 01 L 21/8234
27/088
21/76
27/108
21/8242

識別記号

F I
H 01 L 27/08 102 C 5 F 032
21/76 L 5 F 048
27/10 621 Z 5 F 083
681 D
681 F

マーク (参考)

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21)出願番号

特願平10-373341

(22)出願日

平成10年12月28日 (1998.12.28)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 黒井 隆

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 塩沢 勝臣

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100102439

弁理士 宮田 金雄 (外2名)

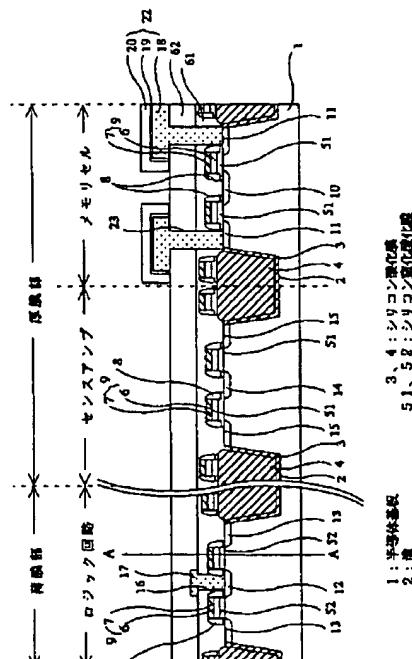
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 一つのチップの中に異なる膜厚のゲート酸化膜が形成されていても、溝内のシリコン酸化膜が溝の縁に沿った部分で落ち込みを生じることのないトレンチ分離を備えた半導体装置およびその製造方法を得ることを目的とする。

【解決手段】 厚い膜厚を有するゲート酸化膜52も薄い膜厚を有するゲート酸化膜51も、溝2内に埋め込まれたシリコン酸化膜4に接する部分の活性領域端部の形状をほぼ同一に形成する。



【特許請求の範囲】

【請求項1】 半導体基板の主表面上に形成された溝と、前記溝の内部に埋め込まれたシリコン酸化膜と、前記溝に取り囲まれて前記半導体基板の主表面の第1の部分に配設された第1の活性領域と、前記第1の活性領域の主表面上に形成された第1のゲート酸化膜を有する第1の電界効果素子と、前記半導体基板の主表面の第2の部分に、前記溝に取り囲まれて配設され、前記第1の活性領域と同一の端部形状を有する第2の活性領域と、前記第2の活性領域の主表面上に形成され、前記第1のゲート酸化膜と異なる膜厚を有する第2のゲート酸化膜を有する第2の電界効果素子とを備えた半導体装置。

【請求項2】 第1の活性領域および第2の活性領域を取り囲む溝の幅が同一で、前記溝底面からシリコン酸化膜表面までの高さが同一であることを特徴とする請求項1記載の半導体装置。

【請求項3】 第1の電界効果素子の表面上に形成され前記第1の電界効果電界効果素子に到達する開口を有する層間絶縁膜と、前記開口を通じて前記第1の電界効果素子に接続するキャバシタを備え、第1のゲート酸化膜が第2のゲート酸化膜よりも厚いことを特徴とする請求項1または請求項2のいずれか一項に記載の半導体装置。

【請求項4】 半導体基板の主表面上に配設された第1および第2の活性領域を取り囲む溝を形成する工程と、前記溝を埋め込む第1のシリコン酸化膜を形成する工程と、前記第1および第2の活性領域を覆う第2のシリコン酸化膜を形成する工程と、前記第2のシリコン酸化膜表面上に前記第1の活性領域主表面上に開口を有する第1のマスクを形成して、前記第1の活性領域主表面上の第2のシリコン酸化膜をエッチングする工程と、前記第1の活性領域主表面上に第1のゲート酸化膜を形成する工程と、前記第1のマスクを除去する工程と、前記第2の活性領域主表面上に開口を有する第2のマスクを形成して、前記第2の活性領域主表面上の第2のシリコン酸化膜をエッチングする工程と、前記第2のマスクを除去する工程と、前記第1および第2の活性領域主表面上に第2のゲート酸化膜を形成する工程と、前記第1および第2の活性領域主表面上に第1および第2の電界効果素子を形成する工程とを備えた半導体装置の製造方法。

【請求項5】 第1のマスクがポリシリコン膜であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 層間絶縁膜を形成する工程と、

前記層間絶縁膜に第1の電界効果素子に到達する開口を形成する工程と、前記開口を通じて前記第1の電界効果素子に到達するキャバシタを形成する工程をさらに備えたことを特徴とする請求項4または請求項5のいずれか一項に記載の半導体装置の製造方法。

【請求項7】 第1のマスクを形成した後、第1の活性領域表面上の第2のシリコン酸化膜をエッチングする前に第1の活性領域に第1の電界効果素子のチャネル注入を行う工程と、

10 第2のマスクを形成した後、第2の活性領域表面上の第2のシリコン酸化膜をエッチングする前に第2の活性領域に第2の電界効果素子のチャネル注入を行う工程とを備えたことを特徴とする請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関するものであり、特に半導体装置の分離構造に関するものである。

【0002】

【従来の技術】集積回路の設計やプロセス技術の進歩により、高密度の記憶素子と高密度の演算回路を同一チップ内に搭載した集積回路の製造が可能になってきており、デバイスの微細化、高機能化が図られている。このような構造の中でも特に、MPU (Micro Processing Unit) を始めとする高度な集積論理回路（以下ロジック回路という）とDRAM (Dynamic Random Access Memory) が同一チップ内に形成されているものは、ロジック混載DRAM (Dynamic Random Access Memory) と呼ばれており、一つのチップの中に目的の異なる複数のMOS型素子を作り込む必要があるため、それぞれの目的に合わせてゲート酸化膜の膜厚を変化させることによって所望のトランジスタ特性が得られるように調節を行っている。このような半導体装置の素子間の絶縁分離としては、他の絶縁分離に比べて所要面積と寄生容量が非常に小さくできるトレンチ分離が高集積化および高速化に有効である。このトレンチ分離は、分離領域となる半導体基板の表面に溝を形成した後、CVD (Chemical Vapor Deposition) 法によってシリコン酸化膜を溝内に埋め込み、表面をエッチングして溝内にのみ酸化膜を残すことによって形成されており、熱酸化によって分離膜を形成する場合に比べて、バーズピークによる活性領域の減少を抑制できるため、トレンチ分離の形状が制御しやすく、微細化に適した方法である。

【0003】図20は従来の半導体装置の素子を示す断面図であり、DRAMメモリセルとロジック回路が一つの半導体基板上に形成されているものである。図において、101は半導体基板、102は溝、103および104はシリコン酸化膜、1051および1052はゲー

ト酸化膜、106はポリシリコン層、1061および1062は層間絶縁膜、107は金属シリサイド層、108はサイドウォール、109はゲート電極、1010ないし1013はソース・ドレイン領域、1018はストレージノード、1019はキャバシタ絶縁膜、1020はセルプレート、1022はキャバシタであり、キャバシタ1022はストレージノード1018、キャバシタ絶縁膜1019およびセルプレート1020から形成されている。また、溝102、シリコン酸化膜103および104によってトレンチ分離が形成され、このトレンチ分離によって活性領域毎に分離されている。そして、ゲート電極109は、ポリシリコン層106および金属シリサイド層107などから形成されている。

【0004】DRAMメモリセルのソース・ドレイン領域1011とゲート電極109は、図中Xの部分で、ゲート酸化膜1051を介して水平方向に重なっている。微細化が進むにつれて、この重なり部分の幅が一つのメモリセルに占める割合は高くなり、例えばnMOSの場合ではゲート電極109よりも高い電圧がソース・ドレイン領域1011に印加されると、ソース・ドレイン領域1011表面に高電界が発生して、BTBT(Band to Band Tunneling)によるリーク電流が、キャバシタ1022と半導体基板101の間に発生することがあった。リーク電流が流れないことは、DRAMメモリセルにとって最も重要な特性であり、リーク電流が発生すると、リフレッシュ特性を悪化させ、消費電力および信頼性の面で問題となるため、ゲート酸化膜1051を7~10nm程度(DRAMメモリセルのゲート長L₁=0.2μm程度の時)にしてゲート電極109とソース・ドレイン領域1011が互いに及ぼす影響を低減させる必要がある。また、ロジック部やDRAM部の周辺回路などのメモリセル以外の部分では、駆動能力の高い高速なトランジスタが要求され、ON電流が十分に流れることが最も重要な特性である。そこで、ロジック回路部のトランジスタのゲート酸化膜1052をDRAMメモリセルのトランジスタのゲート酸化膜1051よりも3nm程度薄く(ゲート長L₂=0.2μm程度の時)形成することによって、メモリセルではリーク電流を抑え、メモリセル以外の部分では駆動能力を高くする構造となっている。

【0005】

【発明が解決しようとする課題】しかしながら、このように一つの半導体基板上に異なる膜厚を有するゲート酸化膜を形成した場合、トレンチ分離のために半導体基板に形成された溝の内部に埋め込まれたシリコン酸化膜が、メモリセル以外の部分の活性領域と隣接する所で、溝の縁に沿って落ち込んでしまうという問題点がある。図21は従来の半導体装置の素子を示す断面図であり、図20に示したYの部分の拡大図である。この図に示したように、溝2の内部に埋め込まれたシリコン酸化膜1

04は、メモリセルではなだらかに形成されているが、ロジック回路部ではそれぞの活性領域と溝102の境界部分に沿って、落ち込みを生じている。

【0006】図22~図27は、従来の半導体装置の製造方法の一工程を示す断面図であり、図22において、1031はシリコン酸化膜、1021はシリコン窒化膜である。まず、半導体基板101の表面上にシリコン酸化膜1031およびシリコン窒化膜1021を形成し、フォトレジストマスク(図示せず)を用いて溝102形成領域を開口するようにシリコン窒化膜1021をバターニングした後、このバターニングされたシリコン窒化膜1021をマスクとして溝102を形成する。図22はこの工程が終わった段階での半導体装置の断面図である。図23において、103および104はシリコン酸化膜である。図23を参照して、熱酸化によって溝102内にシリコン酸化膜103を形成した後、CVD法によってシリコン酸化膜104を溝102内に埋め込む。図23はこの工程が終わった段階での半導体装置の断面図である。次にシリコン酸化膜104の表面をCMP(Chemical Mechanical Polishing)によって平坦化した後、シリコン窒化膜1021およびシリコン酸化膜1031を除去してトレンチ分離が完成する。図24はこの工程が終わった段階での半導体装置の断面図である。

【0007】図25において、1053はゲート酸化膜、1042はレジストパターンである。図を参照して、熱酸化により全面にゲート酸化膜1053を3~6nm程度形成した後、DRAMメモリセルの活性領域を覆うレジストパターン1042を形成し、このレジストパターン1042をマスクとしてロジック回路の活性領域表面上のゲート酸化膜1053を除去する。図25はこの工程が終わった段階での半導体装置の断面図である。この図からわかるように、メモリセルのゲート絶縁膜1053は残して、ロジック回路部でのみゲート酸化膜1053を除去するため、ロジック回路部のゲート酸化膜1053と溝102の境界部分では、その縁に沿って、シリコン酸化膜104の形状が落ち込んでいる。そして、レジストパターン1042を除去した後、再度熱酸化によって4~7nm程度のゲート酸化膜1052を全面に形成してから、ゲート電極109を形成する。図26はこの工程が終わった段階での半導体装置の素子を示す断面図である。

【0008】この後、サイドウォール108、ソース・ドレイン領域1010および1011、またはソース・ドレイン領域1012および1013、層間絶縁膜1061、コンタクトホール1016、配線1017、層間絶縁膜1062、コンタクトホール23、ストレージノード1018、キャバシタ絶縁膜1019およびセルプレート1020を形成して図20に示した半導体装置が形成される。図27は図26のZ-Z断面における断面図である。図27に示した落ち込みは、溝102とロジ

ック回路部のゲート酸化膜1052との境界部分に沿って全体に発生するが、このようにシリコン酸化膜104が落ち込むと、ゲート電極下の活性領域端部で電界集中が起きて逆ナローチャネル効果が起こるため、しきい値電圧が低下してしまうという問題点があった。

【0009】本発明は、上記した課題を解決するためになされたもので、一つの半導体基板にDRAMメモリセルとロジック回路など、ゲート酸化膜厚の違うトランジスタを含む構造が形成されていても、溝の縁に沿った部分のシリコン酸化膜が落ち込むことなく、トレンチ分離に接する部分の活性領域端部の形状をほぼ同一に形成することができ、活性領域の形状によってトランジスタ特性が左右されず、それぞれの素子の特性を良好に保ったままでチップの小型化を図ることができるトレンチ分離を備えた半導体装置およびその製造方法を得ることを目的とするものである。この発明に対する先行技術調査の結果としては、シリコン酸化膜およびシリコン窒化膜をマスクとしたイオン注入によって、イオンチャネリングを行うCMOS構造の半導体装置の製造方法が記載された特開平3-99430号公報と、一つのマスクを用いてウェル注入とゲート電極へのイオン注入を行うCMOS構造の半導体装置の製造方法が記載された特開平9-74072号公報があげられているが、これらはいずれもゲート酸化膜厚が均一なものである。

【0010】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板の主表面上に形成された溝と、溝の内部に埋め込まれたシリコン酸化膜と、溝に取り囲まれて半導体基板の主表面上の第1の部分に配設された第1の活性領域と、第1の活性領域の主表面上に形成された第1のゲート酸化膜を有する第1の電界効果素子と、半導体基板の主表面の第2の部分に、溝に取り囲まれて配設され、第1の活性領域と同一の端部形状を有する第2の活性領域と、第2の活性領域の主表面上に形成され、第1のゲート酸化膜と異なる膜厚を有する第2のゲート酸化膜を有する第2の電界効果素子とを備えたものであり、一つのチップの中の複数の活性領域の表面に異なる膜厚のゲート酸化膜が形成されているにも関わらず、溝の縁に沿った部分のシリコン酸化膜が落ち込むことなく、トレンチ分離に接する部分の活性領域端部の形状をほぼ同一に形成されているため、活性領域の形状によってトランジスタ特性が左右されない。

【0011】さらに、第1の活性領域および第2の活性領域を取り囲む溝の幅が同一で、溝底面からシリコン酸化膜表面までの高さが同一であることを特徴とするものであり、この表面上を通過するゲート電極をパターニングする時の写真製版工程で焦点深度に対するマージンが確保できるため、第2のシリコン酸化膜表面に堆積されたゲート電極材料をエッチングする際に、ゲート電極材料の取り残しによるショートが発生する事がない。逆にゲ

ート電極材料を取り残さないようにするために、エッチングしすぎて、エッチングストッパーであるゲート酸化膜を突き抜けて半導体基板表面まで削ってしまうこともない。

【0012】また、第1の電界効果素子の表面上に形成され第1の電界効果電界効果素子に到達する開口を有する層間絶縁膜と、開口を通じて第1の電界効果素子に接続するキャバシタを備え、第1のゲート酸化膜が第2のゲート酸化膜よりも厚いことを特徴とするものであり、

10 ゲート酸化膜が厚いためにリーク電流を抑制してリフレッシュ特性のよいDRAMと、ゲート酸化膜が薄いために駆動能力が高く、逆ナローチャネル効果を抑えてしきい値の低下が抑制されたロジック回路を一つのチップの中に作り込むことができる。

【0013】また、半導体基板の主表面上に配設された第1および第2の活性領域を取り囲む溝を形成する工程と、溝を埋め込む第1のシリコン酸化膜を形成する工程と、第1および第2の活性領域を覆う第2のシリコン酸化膜を形成する工程と、第2のシリコン酸化膜表面上に

20 第1の活性領域主表面上に開口を有する第1のマスクを形成して、第1の活性領域主表面上の第2のシリコン酸化膜をエッチングする工程と、第1の活性領域主表面上に第1のゲート酸化膜を形成する工程と、第1のマスクを除去する工程と、第2の活性領域主表面上に開口を有する第2のマスクを形成して、第2の活性領域主表面上の第2のシリコン酸化膜をエッチングする工程と、第2のマスクを除去する工程と、第1および第2の活性領域主表面上に第2のゲート酸化膜を形成する工程と、第1および第2の活性領域主表面上に第1および第2の電界効

30 果素子を形成する工程とを備えたものであり、一つのチップの中の複数の活性領域の表面に異なる膜厚のシリコン酸化膜を形成しても、溝の縁に沿って溝内のシリコン酸化膜が落ち込むことがないため、活性領域がトレンチ分離に接する部分の形状をほぼ同一に形成することができ、活性領域の形状によってトランジスタ特性が左右されない。

【0014】さらに、第1のマスクがポリシリコン膜であることを特徴とするものであり、ポリシリコン膜はシリコン酸化膜をドライエッチングする際に、選択比50以上を確保できるため、さらに制御性よくシリコン酸化膜をエッチングすることができる。

【0015】また、層間絶縁膜を形成する工程と、層間絶縁膜に第1の電界効果素子に到達する開口を形成する工程と、開口を通じて第1の電界効果素子に到達するキャバシタを形成する工程をさらに備えたことを特徴とするものであり、DRAMメモリセルのゲート酸化膜を厚く形成して、リーク電流を抑制し、それ以外の部分はゲート酸化膜を薄くして駆動能力を高くしても、溝の縁に沿って落ち込みを生じず活性領域の形状が均一にできるため、逆ナローチャネル効果を抑えてしきい値の低下を

抑制することができる。

【0016】また、第1のマスクを形成した後、第1の活性領域主表面上の第2のシリコン酸化膜をエッチングする前に第1の活性領域に第1の電界効果素子のチャネル注入を行う工程と、第2のマスクを形成した後、第2の活性領域主表面上の第2のシリコン酸化膜をエッチングする前に第2の活性領域に第2の電界効果素子のチャネル注入を行う工程とを備えたことを特徴とするものであり、それぞれの素子のチャネル注入を第2のシリコン酸化膜を介して行い、この第2のシリコン酸化膜を除去し、ゲート酸化膜をあらためて形成しているため、チャネル注入の際に半導体基板表面を保護することができ、良好な膜質を有するゲート酸化膜を得ることができる。

【0017】

【発明の実施の形態】実施の形態1. 図1および図2はこの発明の実施の形態1を示す半導体装置の断面図であり、図2は図1に示したA-A断面における断面図である。図1において、1は半導体基板、2は溝、3および4はシリコン酸化膜、51および52はゲート酸化膜、6はポリシリコン層、7は金属シリサイド層、8はサイドウォール、9はゲート電極、10ないし15はソース・ドレイン領域、61および62は層間絶縁膜、16および23はコンタクトホール、17は配線、18はストレージノード、19はキャバシタ絶縁膜、20はセルプレート、22はキャバシタである。ゲート電極9は、ポリシリコン層6とタンクステンシリサイドなどの金属シリサイド層7からなっており、溝2、シリコン酸化膜3およびシリコン酸化膜4からトレンチ分離が形成されている。また、キャバシタ22はリンを $1\sim5\times10^{20}/\text{cm}^3$ 程度含む多結晶シリコンからなるストレージノード18、 $5\sim10\text{nm}$ 程度の膜厚を有し、シリコン塗化酸化膜からなるキャバシタ絶縁膜19および、リンを $1\sim5\times10^{20}/\text{cm}^3$ 程度含む多結晶シリコンからなるセルプレート20から形成されている。また、溝2、シリコン酸化膜3および4によってトレンチ分離が形成され、このトレンチ分離によって活性領域毎に分離されている。コンタクトホール16を介して、ソース・ドレイン領域12に配線17が接続されており、コンタクトホール23を介してキャバシタ22がソース・ドレイン領域11に接続されている。また、これ以外にもソース・ドレイン領域10および13、ゲート電極9にそれぞれ接続する配線が層間絶縁膜に形成されたコンタクトホールを介して形成されている(図示せず)。

【0018】図1を参照して、例えば第1の電界効果素子としてのロジック回路部のトランジスタのゲート長 $L_g=200\text{nm}$ 程度の時、ロジック回路部の溝2の幅は $200\text{nm}\sim500\text{nm}$ 程度であり、溝2の深さは $150\sim500\text{nm}$ 程度である。ただし、溝2の幅は場所によって異なり、 5000nm 程度になることもあるが、その場合は素子を形成しない部分も半導体基板1を残す

(ダミーパターン)などで、溝2の幅を調節し、埋め込み後のシリコン酸化膜4の表面の凹凸が少なくなるようになる。

【0019】そして、 $5\sim30\text{nm}$ 程度のシリコン酸化膜3が溝2内部の半導体基板表面を覆って形成され、溝2の内部はシリコン酸化膜4によって埋め込まれている。ロジック回路の活性領域の半導体基板1表面には $4\sim7\text{nm}$ 程度の膜厚のゲート酸化膜52が形成され、その上に $50\sim150\text{nm}$ 程度のポリシリコン層6と、 $50\sim150\text{nm}$ 程度の膜厚の金属シリサイド層7からなるゲート電極9が形成されている。半導体基板1に溝2を形成する工程などによって、半導体基板1に形成される欠陥が素子特性に及ぼす影響が十分に小さい場合には、シリコン酸化膜3はなくてもかまわない。ポリシリコン層6は $1\times10^{21}/\text{cm}^3$ 程度のリンやヒ素(nMOS)、またはボロンやフッ化ボロン(pMOS)などの不純物を含む。また、ソース・ドレイン領域12および13は、リンやヒ素、またはボロンやフッ化ボロンなどの不純物を $1\times10^{18}/\text{cm}^3$ 程度含み、さらに必要に応じて、ヒ素を $1\times10^{20}/\text{cm}^3$ 程度含む領域を備えたLDD(Lightly Doped Drain)構造になっている(図示せず)。

【0020】そして、例えば第2の電界効果素子としてのDRAMメモリセルのトランジスタのゲート長 $L_g=200\text{nm}$ 程度の時、溝2の幅は場所によって異なり、最小分離幅は $100\text{nm}\sim200\text{nm}$ 、それ以外の部分では $200\text{nm}\sim400\text{nm}$ 程度であり、溝2の深さは $150\sim500\text{nm}$ 程度である。また、ゲート酸化膜51の膜厚は $7\sim10\text{nm}$ 程度であり、これ以外の部分については、ロジック回路部と同様の構造を有する。DRAMメモリセルにおいては、キャバシタに蓄積された電荷によって情報を蓄積し、一定時間毎にリフレッシュ(読み出し/書き込み)を行なっており、リーク電流が流れるとき、キャバシタに蓄積された情報が余分に失われ、リフレッシュ特性が劣化するため、他の部分のトランジスタに比べてリーク電流の抑制がより重要になってくる。

【0021】キャバシタ22にデータを書き込むときは、メモリセルの各電極に与える電圧を $V_G=2.0\text{V}$ 、 $V_B=-1.0\text{V}$ 、ソース・ドレイン領域12に接続するビットライン(図示せず)に 0V を印加し、データを消去するときは、 $V_G=2.0\text{V}$ 、 $V_B=-1.0\text{V}$ 、ソース・ドレイン領域10に接続するビットライン(図示せず)に 2.0V 程度の電圧を印加する。また、データを読み出すときはビットラインに印加する電圧を 1.0V 程度とする。そして、ロジック回路では、ゲート電極9、ソース・ドレイン領域10、11および半導体基板1(ウェル)に電圧をかけることによって、ゲート電極9下の半導体基板1表面にチャネルが形成され、ソース・ドレイン領域10、11の一方がソース、他方

がドレインとなり、回路として動作する。例えばnMOSトランジスタの場合、ロジック回路の各電極に印加する電圧は、 $V_G = 2.5V$ 、 $V_D = 2.5V$ 、 $V_S = 0V$ 、 $V_B = 0V$ 程度である。また、この実施の形態においては、DRAMメモリセル部以外でも一つの活性領域に二つのトランジスタが形成された半導体装置を用いて説明を行っているが、特にこれに限られるものではない。

【0022】この半導体装置によれば、一つのチップの中に複数の異なる膜厚のゲート酸化膜が形成されているにも関わらず、溝2の縁に沿った部分のシリコン酸化膜4が落ち込むことなく、トレンチ分離に接する部分の活性領域端部の形状をほぼ同一に形成することができるため、活性領域の形状によってトランジスタ特性が左右されないという効果を奏する。それによって、ゲート酸化膜が厚いためにリーク電流を抑制してリフレッシュ特性がよく、低消費電力化されるとともに信頼性の高いDRAMと、ゲート酸化膜が薄いために駆動能力が高く、逆ナローチャネル効果を抑えてしきい値の低下を抑制することができ、高速かつ信頼性の高いロジック回路を一つのチップの中に作り込むことができ、半導体装置の特性を良好に保ったままでチップの小型化を図れる。さらに、それぞれの活性領域を取り囲む溝2の幅が等しい部分については、膜厚の厚いゲート酸化膜51が形成された活性領域に隣接する部分と、膜厚の薄いゲート酸化膜52が形成された活性領域に隣接する部分で、シリコン酸化膜4表面の高さにばらつきが生じない。それによって、ゲート電極パターニング時の写真製版工程で焦点深度に対するマージンが確保でき、このシリコン酸化膜4表面に堆積されたゲート電極材料をエッチングする際に、ゲート電極材料を取り残してショートが発生することがない。逆にゲート電極材料を取り残さないようにするために、エッチングしすぎて、エッチングストップであるゲート酸化膜を突き抜けて半導体基板表面まで削ってしまうこともないため、半導体基板の表面荒れによるリーク電流が流れる恐れがなく半導体装置の信頼性が向上する。

【0023】図3～図14は、この発明の実施の形態1を示す半導体装置の製造方法の一工程を示す断面図であり、ゲート酸化膜を厚く形成する部分（以下厚膜部という）と、ゲート酸化膜を薄く形成する部分（以下薄膜部という）が隣接しており、DRAMのメモリセルおよびセンスアンプは厚膜部に形成され、ロジック回路は薄膜部に形成された一例を示している。図3において、21はシリコン塗化膜、31はシリコン酸化膜である。まず、半導体基板1上に熱酸化によってシリコン酸化膜31を5～30nm程度形成した後、シリコン塗化膜21を100～300nm程度形成する。図3は、この工程が終わった段階での半導体装置の断面図である。次に、溝2の形成領域を除く部分に形成したフォトレジストな

どの写真製版パターン（図示せず）をマスクとして異方性エッチングを行い、シリコン塗化膜21をパターニングしてから写真製版パターンを除去する。図4は、この工程が終わった段階での半導体装置の断面図である。

【0024】そして、残ったシリコン塗化膜21をマスクにして、シリコン酸化膜31および半導体基板1を異方性エッチングし、半導体基板1の表面に深さ100～500nm、ロジック回路部では幅100～500nm程度の溝2を形成する。この時、DRAMメモリセルでの溝2の幅は最小分離幅部分では100nm～200nm程度、それ以外の部分は200～400nm程度である。図5はこの工程が終わった段階での半導体装置の素子を示す断面図である。次に減圧CVD法により全面にシリコン酸化膜4を300nm～1000nm程度の膜厚で形成してから、シリコン塗化膜21をストップとしたCMP法によって、シリコン塗化膜21表面上のシリコン酸化膜4を除去し、溝2とシリコン塗化膜21からなる開口の内部のみにシリコン酸化膜4を残す。その後、熱リン酸によるウェットエッチングでシリコン塗化膜21を除去した後、シリコン酸化膜31を除去する。図6はこの工程が終わった段階での断面図である。

【0025】図7において、32はシリコン酸化膜である。図を参照して、熱酸化によって半導体基板1表面上に3～15nm程度のシリコン酸化膜32を形成する。図7はこの工程が終わった段階での半導体装置の素子を示す断面図である。そして、nMOSの場合はnMOSの部分を開口するマスクを形成してボロンや弗化ボロンをイオン注入し、pMOSの場合はpMOSの部分を開口するマスクを形成してリンやヒ素などの不純物をイオン注入することによって、DRAMメモリセルおよびそれ以外の部分にチャネル注入層を除くウェル（図示せず）を形成する。このウェル形成のイオン注入は、必要に応じてチャネル注入層形成の際に同時にあってもかまわない。図8において、211はシリコン塗化膜、41はレジストパターンである。図を参照して、シリコン酸化膜32の上にシリコン塗化膜211を5～30nm程度形成した後、厚膜部のメモリセルの活性領域を開口するレジストパターン41を形成し、このレジストパターン41を用いてメモリセルの半導体基板1表面上のシリコン塗化膜211を除去する。その後、ボロンまたは弗化ボロンをイオン注入してメモリセルのチャネル注入層（図示せず）を形成する。図8はこの工程が終わった段階での半導体装置を示す断面図である。

【0026】図9において42はレジストパターンである。図を参照して、レジストパターン41を除去し、それから厚膜部のうち、メモリセルと異なるしきい値を有するトランジスタを用いるセンスアンプの活性領域を開口するレジストパターン42を形成して、センスアンプの半導体基板1表面上に形成されたシリコン塗化膜211を除去する。その後、ボロンなどイオン注入してチャ

ネル注入層（図示せず）をセンスアンプの活性領域に形成する。図9はこの工程が終わった段階での半導体装置の断面図である。厚膜部において、さらに異なったしきい値を有するトランジスタが存在する場合は、レジストパターンの形成とイオン注入を同様に繰り返し行えばよい。図10において、53はシリコン酸化膜である。次に、レジストパターン42を除去してから、シリコン塗化膜211をマスクとして弗化水素酸により、厚膜部のシリコン酸化膜32を除去した後、再度熱酸化を行い、ゲート酸化膜53を形成する。図10はこの工程が終わった段階での半導体装置の断面図であり、半導体基板1表面上のうちのメモリセルおよびセンスアンプにはゲート酸化膜53が形成され、ロジック回路部にはシリコン酸化膜32およびシリコン塗化膜211が形成された状態である。

【0027】図11において、43はレジストパターンである。図を参照して、熱リン酸によりシリコン塗化膜211を除去した後、厚膜部および薄膜部のpMOSの活性領域を覆い、薄膜部のnMOSの活性領域を開口するレジストパターン43でマスクをして、ボロンや弗化ボロンなどの不純物をイオン注入することによって、ロジック回路のnMOSのチャネル注入層（図示せず）を形成する。pMOSの場合もnMOSの場合と同様に厚膜部および薄膜部のnMOSの活性領域を覆い、薄膜部のpMOSの活性領域を開口するマスクをしてリンやヒ素などをイオン注入することによってチャネル注入層（図示せず）を形成する。そして、シリコン酸化膜32を除去する。図11はこの工程が終わった段階での半導体装置を示す断面図である。ここでは、ロジック回路部のnMOSおよびpMOSのしきい値がそれぞれ1種類の場合について説明をしているが、nMOSまたはpMOSの中でもしきい値が異なるものがあれば、チャネル注入層の導電型およびしきい値によってマスクのかけ方を分けてチャネル注入を繰り返す必要がある。そして、レジストパターン43を除去してから、熱酸化によって全面に4~7nm程度の膜厚を有するシリコン酸化膜52を形成する。図12はこの工程が終わった段階での半導体装置の断面図である。この段階で、DRAMのメモリセル、センスアンプおよびロジック回路のすべての領域のトランジスタにチャネル注入層が形成されている。この実施の形態1においては、センスアンプが厚膜部に形成されているが、薄膜部に形成してもよい。チャネル注入層形成のためのイオン注入は、ゲート酸化膜厚、チャネル注入層の導電型、およびチャネル注入層の不純物濃度が同じ部分を同時に行う。次に、nMOSの場合はリンやヒ素、pMOSの場合はボロンやフッ化ボロンなどの不純物を $1 \times 10^{21} / \text{cm}^3$ 程度含み、50~100nm程度の膜厚を有するポリシリコン層6をCVD法によって堆積し、タンクステンシリサイドなどの金属シリサイド層7をCVD法またはスパッタ法によって形成

した後、パターニングすることによってゲート電極9を形成する。

【0028】そして、nMOSならばリンやヒ素、pMOSならばボロンやフッ化ボロンなどを $3 \times 10^{13} / \text{cm}^2$ 、20~40keV程度でイオン注入してソース・ドレイン領域10ないし15を形成し、減圧CVD法によって50~100nm程度シリコン酸化膜を堆積・エッチバックしてサイドウォール8を形成する。図13はこの工程が終わった段階での半導体装置を示す断面図である。ソース・ドレイン領域12ないし15をLDD構造とする場合は、ここで、メモリセルが形成される領域をマスクで覆って、さらにヒ素（nMOS）や、ボロンまたは弗化ボロン（pMOS）を $1 \times 10^{15} \sim 5 \times 10^{15} / \text{cm}^2$ 程度注入して形成される $1 \times 10^{20} / \text{cm}^3$ 程度の不純物濃度の不純物領域と合わせてソース・ドレン領域とする（図示せず）。その後、減圧CVD法によって200nm~600nm程度の層間絶縁膜61を堆積し、ソース・ドレイン領域12に到達するコンタクトホール16をドライエッチング法で $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ 径で開口する。そして、リンを $1 \times 10^{20} \sim 5 \times 10^{20} / \text{cm}^3$ 程度含む多結晶シリコンをCVD法で50~150nm程度堆積した後、タンクステンシリサイド（WSi）をCVD法で50~150nm堆積してから、パターニングし、配線17を形成する。図14はこの工程が終わった段階での半導体装置を示す断面図である。

【0029】そしてさらに、層間絶縁膜（図示せず）を形成した後、コンタクトホール（図示せず）を形成し、そのコンタクトホールの中に配線材料を埋め込むことによって、ソース・ドレイン領域10に接続する配線（ピットライン）やソース・ドレイン領域13ないし15に接続する配線を形成する（図示せず）。ソース・ドレン領域10および12ないし15に接続する配線は、回路構成の都合に合わせていずれを先に形成してもかまわない。そして、層間絶縁膜62を形成し、コンタクトホール23を形成してから、リンなどの不純物を $1 \times 10^{20} \sim 5 \times 10^{20} / \text{cm}^3$ 程度含有した多結晶シリコンを600~1000nm程度全面に堆積し、パターニングして所定の領域にのみ配置することでストレージノード18を形成する。そして、キャバシタ絶縁膜19となるシリコン塗化酸化膜をCVD法で5~10nm程度堆積し、さらにその上にセルプレート20となる、リンなどの不純物を $1 \times 10^{20} \sim 5 \times 10^{20} / \text{cm}^3$ 程度含有した多結晶シリコンを50~100nm程度堆積してパターニングすることによってキャバシタ22を形成する。以上のようにして図1に示した半導体装置が形成される。

【0030】また、ソース・ドレイン領域10ないし15に到達するコンタクトホールをそれぞれ形成した段階で、そのコンタクトホール内に露出したソース・ドレイ

ン領域と同じ導電型を有する不純物領域をSAC (Self Aligned Contact) 注入により形成してもよい。このような不純物領域は、メモリセルではリンを50~150 keV、 $1 \times 10^{13} \sim 1 \times 10^{14} / \text{cm}^2$ 程度で注入し、 $1 \times 10^{18} / \text{cm}^3$ 程度の不純物濃度を有する不純物領域とすることによって、チャネル注入層とソース・ドレイン領域の不純物濃度ピークによるpn接合の電界を緩和することができ、キャパシタ22から半導体基板1(ウェル)へのリーク電流が抑制されるため、リフレッシュ特性がよく、半導体装置の信頼性が向上する。また、メモリセル以外の部分ではnMOSならばリン、pMOSならばボロンや弗化ボロンを20~50keV、 $5 \times 10^{13} \sim 30 \times 10^{13} / \text{cm}^2$ 程度でイオン注入し、 $5 \times 10^{18} / \text{cm}^3$ 程度の不純物濃度を有する不純物領域とすることによって、コンタクトホール内に埋め込まれた配線とソース・ドレイン領域のコンタクト抵抗を下げ、駆動能力を向上させることができる。この実施の形態1では、ロジック回路、DRAMのメモリセルおよびセンスアンプの形成された半導体装置について記載したが、一つのチップの中に異なる複数のゲート酸化膜厚を有するものであれば、特にこれに限定されるものではない。

【0031】この半導体装置の製造方法によれば、一つのチップの中に複数の異なる膜厚のゲート酸化膜を形成する工程で、これらの活性領域表面に形成されたシリコン酸化膜を除去する回数や条件をほぼ同じにしているため、溝2の縁に沿った部分のシリコン酸化膜4が落ち込むことがない。したがって、表面に異なる膜厚のゲート酸化膜が形成されていても、活性領域がトレニチ分離に接する部分の形状をほぼ同一に形成することができるため、活性領域の形状によってトランジスタ特性が左右されないという効果を奏する。それによって、ゲート酸化膜が厚いためにリーク電流を抑制してリフレッシュ特性が向上し、低消費電力化されるとともに信頼性の向上したDRAMメモリセルと、ゲート酸化膜が薄いために駆動能力が向上するとともに、逆ナローチャネル効果を抑えてしきい値の低下を抑制することができ、高速かつ信頼性も向上したロジック回路を一つのチップの中に作り込むことができ、半導体装置の特性を良好に保ったままで小型化された半導体装置の製造方法を得ることができる。また、膜厚の厚いゲート酸化膜が形成された活性領域に隣接する部分と、膜厚の薄いゲート酸化膜が形成された活性領域に隣接する部分で、シリコン酸化膜4の表面がエッチングされる回数および条件が同じであるため、溝2の幅が等しい部分については、シリコン酸化膜4表面の高さにばらつきが生じない。それによって、ゲート電極バーニング時の写真製版工程で焦点深度に対するマージンが確保でき、このシリコン酸化膜4表面に堆積されたゲート電極材料をエッチングする際に、ゲート電極材料の取り残しによるショートが発生するこ

ない。逆にゲート電極材料を取り残さないようにするために、エッチングしすぎて、エッチングストッパーであるゲート酸化膜を突き抜けて半導体基板表面まで削ってしまうこともないため、歩留まりが向上するとともに、半導体基板の表面荒れによるリーク電流を生じる恐れがなく信頼性が向上した半導体装置を得ることができる。

【0032】また、図15において212はポリシリコン膜であり、半導体基板表面にトレニチ分離を形成した後、その表面上にシリコン酸化膜32を形成してから、10さらにその表面上にポリシリコン膜212が形成される工程が終わった段階での半導体装置の断面が図15に示されている。これは、シリコン酸化膜32をエッチングするためのマスクであるシリコン塗化膜211の代わりに形成されているものであり、複数のレジストパターンを用いてシリコン酸化膜32を除去していく順序については、シリコン塗化膜211の場合と同様である。このポリシリコン膜の除去については、等方性のドライエッチングで行う。シリコン酸化膜32をドライエッチングする際に、シリコン塗化膜の選択比は3~20程度であるのに対し、ポリシリコン膜の選択比を50以上確保できるため、さらに制御性よくシリコン酸化膜32をエッチングすることができ、半導体装置の微細化にも有効である。

【0033】実施の形態2、図16~図18はこの発明の実施の形態2を示す半導体装置の製造方法の一工程を示す断面図であり、実施の形態1で示した半導体装置を製造する別の方法である。この製造方法によって、図1に示した半導体装置が製造される。まず、実施の形態1と同様にして、半導体基板1表面に溝2、シリコン酸化膜3および4からなるトレニチ分離を形成する。そして、実施の形態1と同様にしてシリコン酸化膜32を形成し、nMOSの部分を開口するマスクを形成してボロンや弗化ボロンをイオン注入し、pMOSの部分を開口するマスクを形成してリンやヒ素などの不純物をイオン注入することによって、メモリセルおよびそれ以外の部分にチャネル注入層を除くウェル(図示せず)を形成する。ここまで工程は、実施の形態1と同一である。図16において、44はレジストパターンである。実施の形態1と同様にして、シリコン酸化膜32の上にシリコン塗化膜211を5~30nm形成した後、薄膜部を覆うレジストパターン44を形成し、このレジストパターン44を用いて厚膜部の半導体基板1表面上のシリコン塗化膜211を除去する。図16はこの工程が終わった段階での半導体装置を示す断面図である。実施の形態1では、同じゲート酸化膜厚を有する部分であっても、メモリセルやセンスアンプなど、しきい値が異なる部分毎にシリコン塗化膜211を除去するとともにチャネル注入層を形成していたが、この実施の形態2においては、ゲート酸化膜厚が同じ部分毎にシリコン塗化膜211を

40除去している。

50

【0034】次に、レジストパターン44を除去してから、メモリセルの活性領域を開口するレジストパターン41を形成し、ボロンまたは弗化ボロンをイオン注入してメモリセルのチャネル注入層（図示せず）を形成する。図17はこの工程が終わった段階での半導体装置の断面図である。そして、レジストパターン41を除去してから、センスアンプの活性領域を開口するレジストパターン42を形成し、イオン注入によってセンスアンプのチャネル注入層（図示せず）を形成する。図18はこの工程が終わった段階での半導体装置の断面図である。実施の形態1と同様、厚膜部において、さらに異なったしきい値を有するトランジスタが存在する場合は、レジストパターンの形成とイオン注入を同様に繰り返し行えばよい。次に、実施の形態1と同様にして、レジストパターン42を除去した後、シリコン塗化膜211をマスクとして、厚膜部の半導体基板表面上のシリコン酸化膜32を除去してから、再度熱酸化によってシリコン酸化膜53を形成する。そして、実施の形態1と同様にしてロジック回路部の半導体基板表面上に残っていたシリコン酸化膜32を除去してから、熱酸化によって全面に4～7nm程度の膜厚を有するシリコン酸化膜52を形成する。その後も、実施の形態1と同様にしてゲート電極9、ソース・ドレイン領域10ないし13、サイドウォール8、層間絶縁膜61、配線17、層間絶縁膜62、およびキャパシタ22を形成する。以上のようにして図1に示した半導体装置が形成される。

【0035】この半導体装置の製造方法によれば、一つのチップの中に複数の異なる膜厚のゲート酸化膜を形成する工程で、これらの活性領域表面に形成されたシリコン酸化膜を除去する回数や条件をほぼ同じにしているため、溝2の縁に沿った部分のシリコン酸化膜4が落ち込むことがない。したがって、表面に異なる膜厚のゲート酸化膜が形成されていても、活性領域がトレンチ分離に接する部分の形状をほぼ同一に形成することができるため、活性領域の形状によってトランジスタ特性が左右されないという効果を奏する。それによって、ゲート酸化膜が厚いためにリーク電流を抑制してリフレッシュ特性が向上し、低消費電力化されるとともに信頼性の向上したDRAMメモリセルと、ゲート酸化膜が薄いために駆動能力が向上するとともに、逆ナローチャネル効果を抑えてしきい値の低下を抑制することができ、高速かつ信頼性も向上したロジック回路を一つのチップの中に作り込むことができ、半導体装置の特性を良好に保ったままで小型化された半導体装置の製造方法を得ることができ。また、膜厚の厚いゲート酸化膜が形成された活性領域に隣接する部分と、膜厚の薄いゲート酸化膜が形成された活性領域に隣接する部分で、シリコン酸化膜4の表面がエッチングされる回数および条件が同じであるため、溝2の幅が等しい部分については、シリコン酸化膜4表面の高さにばらつきが生じない。それによって、ゲ

ート電極バーニング時の写真製版工程で焦点深度に対するマージンが確保でき、このシリコン酸化膜4表面に堆積されたゲート電極材料をエッチングする際に、ゲート電極材料の取り残しによるショートが発生する事がない。逆にゲート電極材料を取り残さないようにするために、エッチングしすぎて、エッチングストッパーであるゲート酸化膜を突き抜けて半導体基板表面まで削ってしまうこともないため、歩留まりが向上するとともに、半導体基板の表面荒れによるリーク電流を生じる恐れがなく、信頼性の向上した半導体装置を得ることができる。

【0036】さらに、実施の形態1に示した半導体装置の製造方法によれば、図19に示したように、センスアンプ上を開口するレジストパターン42を形成する際に、センスアンプとメモリセルの間にあるトレンチ分離上でシリコン塗化膜211の端部を覆ってしまい、この部分でシリコン塗化膜211がエッチングされず残ってしまうことが起りうる。このシリコン塗化膜211が残っていると、その下のシリコン酸化膜32がエッティングされず、熱酸化を行ってもゲート酸化膜53が形成されないため、この部分でのみシリコン酸化膜32がゲート酸化膜となってしまうが、シリコン酸化膜32はウェル形成のためのイオン注入など数々の工程を経て、膜質が劣化しているためゲート酸化膜破壊を起こしてしまうことがある。これに対して、この実施の形態2に係る半導体装置の製造方法によれば、ゲート酸化膜51および52の膜厚を決定するためのマスクとして使われるシリコン塗化膜211の除去する際に、まずレジストパターン44によって厚膜部全体のシリコン塗化膜211を除去した後、チャネル注入などの必要な処理を行い、さらに残ったシリコン塗化膜211を熱リン酸などによって選択的に除去している。このような方法では、レジストパターンのずれによって、シリコン塗化膜211を取り残すということがないため、レジストパターンのマージンが取れて歩留まりが向上する。

【0037】また、実施の形態1と同様に、シリコン塗化膜211の代わりにポリシリコン膜を用いると、シリコン酸化膜32をドライエッチングする際に、ポリシリコン膜の選択比が高いため、さらに制御性よくシリコン酸化膜32をエッチングすることができ、半導体装置の微細化にも有効である。

【0038】
【発明の効果】本発明は、以上説明したように構成されているので、以下のような効果を奏する。本発明は、一つのチップの中の複数の活性領域の表面に異なる膜厚のゲート酸化膜が形成されているにも関わらず、トレンチ分離の溝内に埋め込まれたシリコン酸化膜が、溝の縁に沿った部分で落ち込むことなく、トレンチ分離に接する部分の活性領域端部の形状がほぼ同一に形成されている。そのため、例えば、メモリセル部にゲート酸化膜厚

が厚くリーク電流が抑制されたトランジスタと、ロジック部にゲート酸化膜が薄く駆動能力が高く高速な動作が可能なトランジスタとを形成するなど、ゲート酸化膜の厚膜部と薄膜部のそれぞれに形成された素子の特性を良好に保ったままでチップの小型化を図ることができるという効果を奏する。

【0039】さらに、溝の幅が等しい部分では、溝内に埋め込まれたシリコン酸化膜の高さが同一となっており、この表面上を通るゲート電極をバターニングする時の写真製版工程で焦点深度に対するマージンが確保できる。それによって、このシリコン酸化膜表面に堆積されたゲート電極材料をエッチングする際に、ゲート電極材料の取り残しによるショートが発生することがない。また逆に、ゲート電極材料を取り残さないようにするために、エッチングしすぎて、エッチングストッパーであるゲート酸化膜を突き抜けて半導体基板表面まで削ってしまうこともないため、半導体基板の表面荒れによるリーク電流を生じる恐れがなく、半導体装置の信頼性が向上する。

【0040】また、ゲート酸化膜が厚いためにリーク電流を抑制してリフレッシュ特性が向上し、低消費電力化されるとともに信頼性の向上したDRAMメモリセルと、ゲート酸化膜が薄いために駆動能力が向上するとともに、逆ナローチャネル効果を抑えてしきい値の低下を抑制することができ、高速かつ信頼性も向上したロジック回路を一つのチップの中に作り込むことができ、半導体装置の特性を良好に保ったままで小型化された半導体装置の製造方法を得ることができる。

【0041】また、一つのチップの中の複数の活性領域の表面に異なる膜厚のゲート酸化膜を形成しても、トレンチ分離の溝内部に埋め込まれたシリコン酸化膜が溝の縁に沿って落ち込むことがない。したがって、表面に異なる膜厚のゲート酸化膜が形成されていても、活性領域がトレンチ分離に接する部分の活性領域端部の形状がほぼ同一に形成することができる。そのため、例えば、メモリセル部にゲート酸化膜厚が厚くリーク電流が抑制されたトランジスタと、ロジック部にゲート酸化膜が薄く駆動能力が高く高速な動作が可能なトランジスタとを形成するなど、ゲート酸化膜の厚膜部と薄膜部のそれぞれに形成された素子の特性を良好に保ったままでチップが小型化された半導体装置の製造方法を得ることができる。

【0042】さらに第2のシリコン酸化膜をエッチングするためのマスクとしてポリシリコン膜を用いており、ポリシリコン膜はシリコン酸化膜をドライエッチングする際に、選択比を50以上確保できるため、さらに制御性よくシリコン酸化膜をエッチングすることができ、微細化された半導体装置の製造方法を得ることができる。

【0043】また、異なるゲート酸化膜を有するトランジスタを一つのチップ内に形成しても、活性領域端部の

形状を均一にすることができる。それによって、ゲート酸化膜が厚いためにリーク電流を抑制してリフレッシュ特性が向上し、低消費電力化されるとともに信頼性の向上したDRAMメモリセルと、ゲート酸化膜が薄いために駆動能力が向上するとともに、逆ナローチャネル効果を抑えてしきい値の低下を抑制することができ、高速かつ信頼性も向上したロジック回路を一つのチップの中に作り込むことができ、半導体装置の特性を良好に保ったままで小型化された半導体装置の製造方法を得ることができる。

【0044】また、それぞれの素子のチャネル注入を第2のシリコン酸化膜を介して行い、この第2のシリコン酸化膜を除去し、ゲート酸化膜をあらためて形成しているため、半導体基板表面を保護することができ、ゲート酸化膜破壊が抑制されて信頼性の向上した半導体装置の製造方法を得ることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置を示す断面図である。

20 【図2】 本発明の実施の形態1に係る半導体装置を示す断面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

30 【図7】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図9】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図10】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図11】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

40 【図12】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図13】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図14】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図15】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図16】 本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。

50 【図17】 本発明の実施の形態2に係る半導体装置の

製造方法の一工程を示す断面図である。

【図18】 本発明の実施の形態2に係る半導体装置の
製造方法の一工程を示す断面図である。

【図19】 本発明の実施の形態2に係る半導体装置の
製造方法の一工程を示す断面図である。

【図20】 従来の半導体装置を示す断面図である。

【図21】 従来の半導体装置を示す断面図である。

【図22】 従来の半導体装置の製造方法の一工程を示
す断面図である。

【図23】 従来の半導体装置の製造方法の一工程を示
す断面図である。

【図24】 従来の半導体装置の製造方法の一工程を示
す断面図である。

【図25】 従来の半導体装置の製造方法の一工程を示
す断面図である。

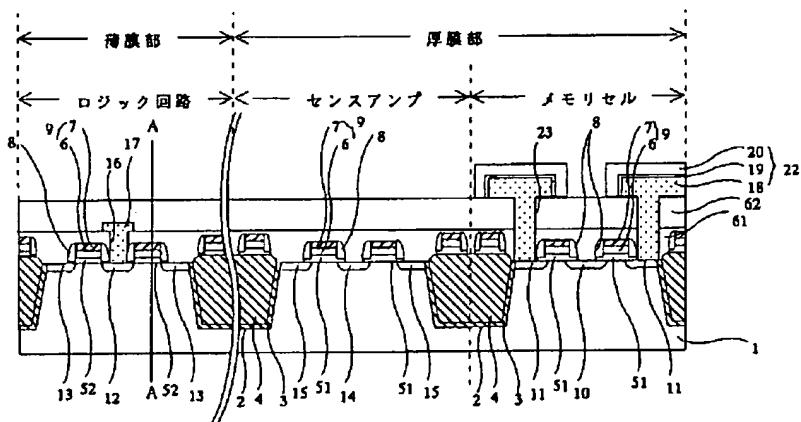
【図26】 従来の半導体装置の製造方法の一工程を示
す断面図である。

【図27】 従来の半導体装置の製造方法の一工程を示
す断面図である。

【符号の説明】

1 半導体基板、 2 溝、 4 シリコン酸化膜、
51 ゲート酸化膜、 52 ゲート酸化膜、 53 ゲ
ート酸化膜、 211 シリコン窒化膜、 212 ポリ
シリコン膜、 32 シリコン酸化膜、 41 レジ
ストパターン、 42 レジストパターン、 43 レジ
ストパターン、 45 レジストパターン

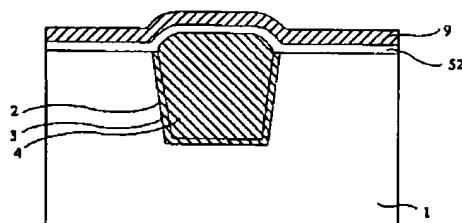
【図1】



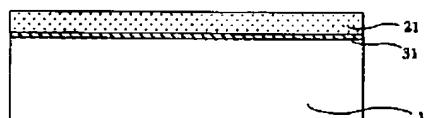
1: 半導体基板
2: 溝

3, 4: シリコン酸化膜
51, 52: シリコン酸化膜

【図2】

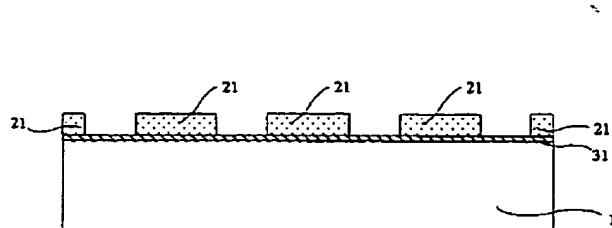


【図3】

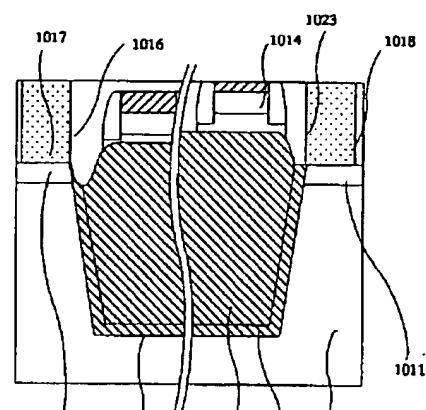


21: シリコン酸化膜
31: シリコン酸化膜

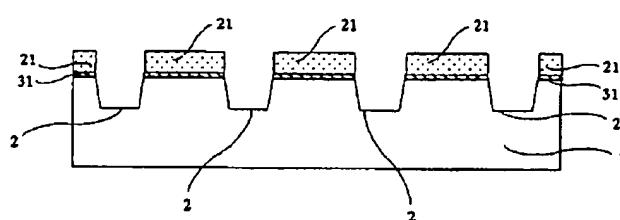
【図4】



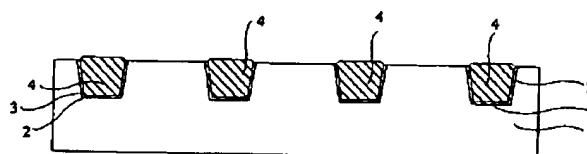
【図21】



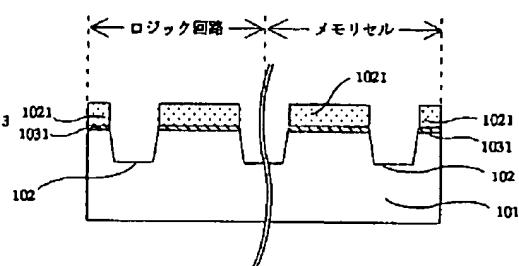
【図5】



【図6】

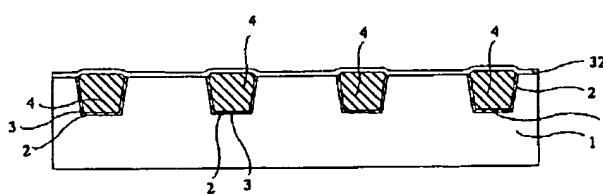


【図22】

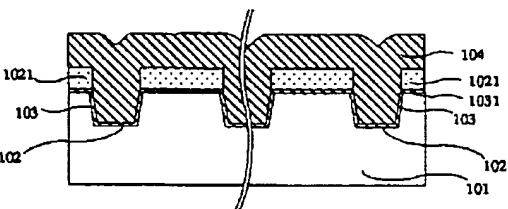


1021:シリコン酸化膜
1031:シリコン酸化膜

【図7】

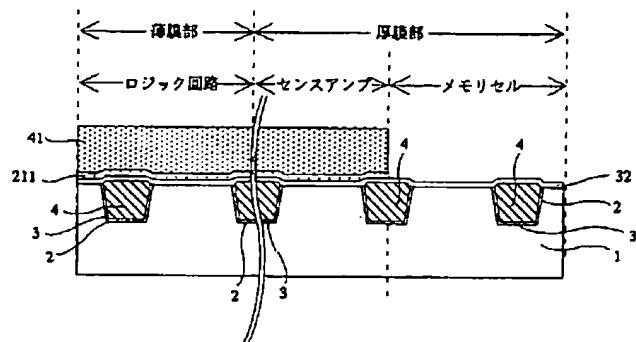


【図23】



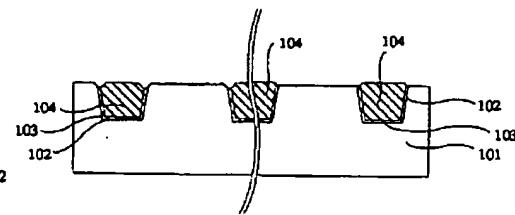
32:シリコン酸化膜

【図8】

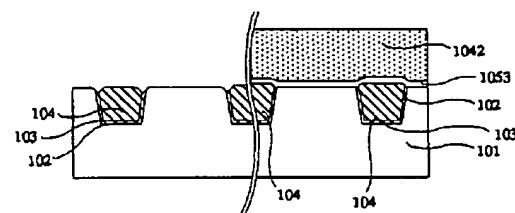


211:シリコン酸化膜
41:レジストパターン

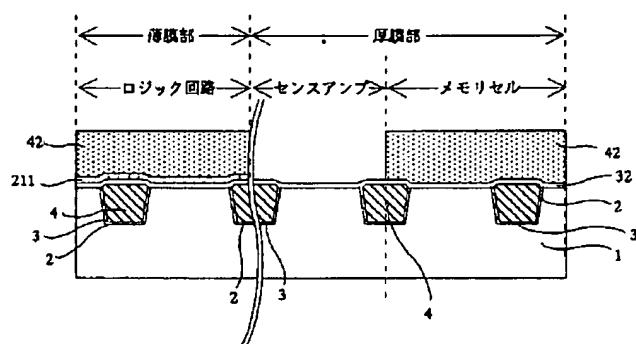
【図24】



【図25】

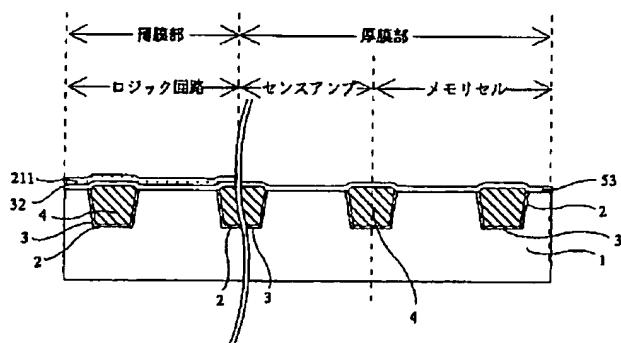


【図9】



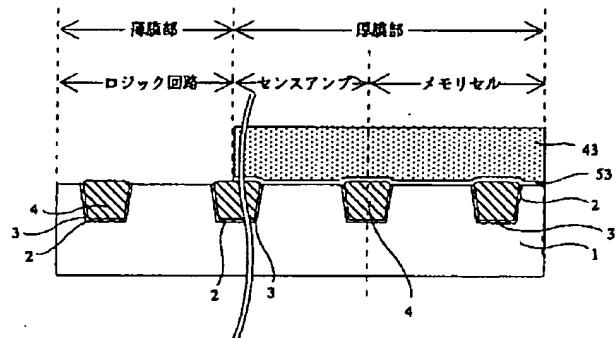
42:レジストパターン

【図10】



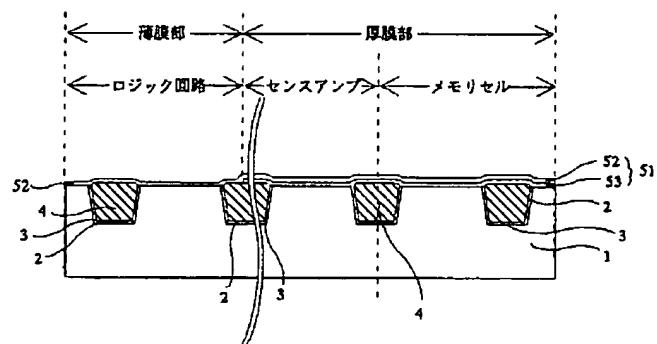
53:シリコン酸化膜

【图11】

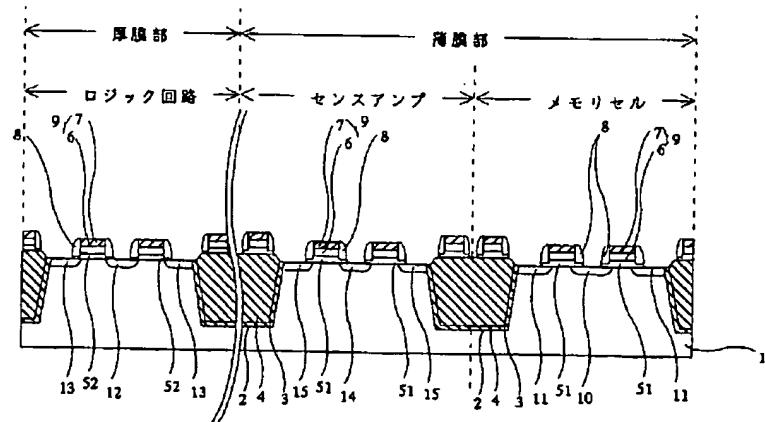


4.3：レジストパターン

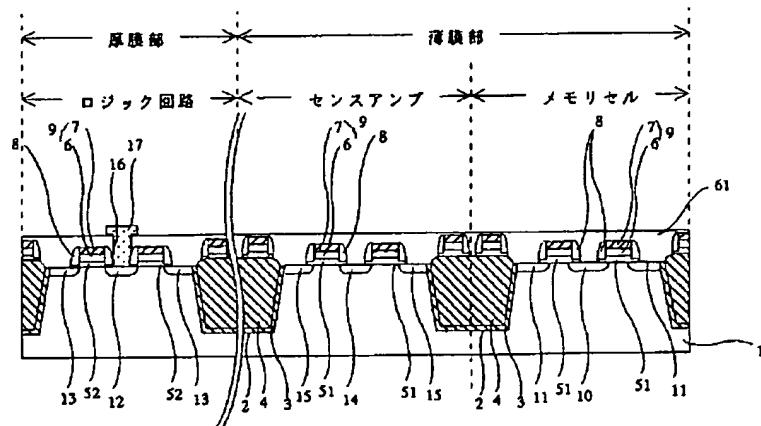
[図12]



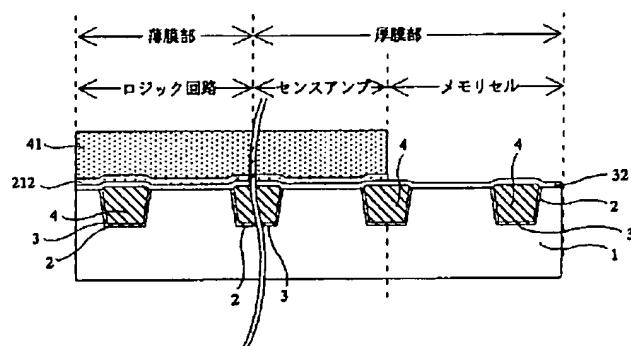
[図13]



【図14】

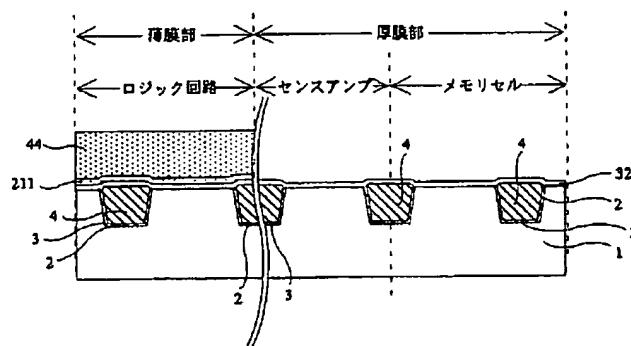


【図15】



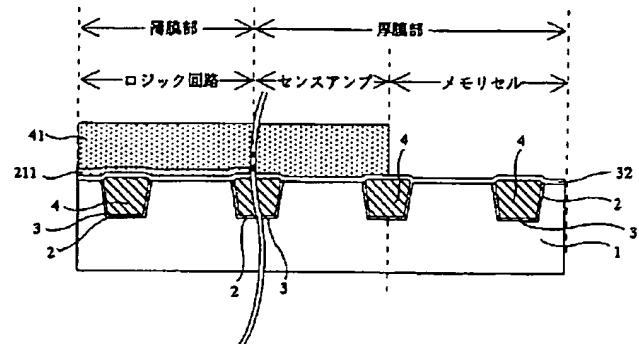
212:ポリシリコン膜

【図16】

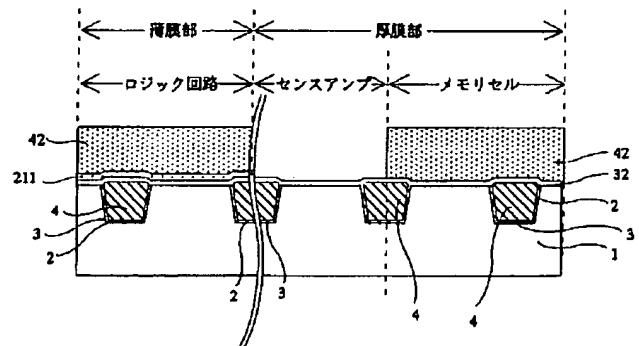


44:レジストパターン

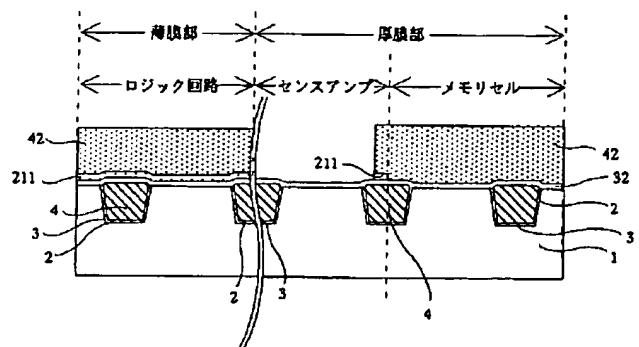
【図17】



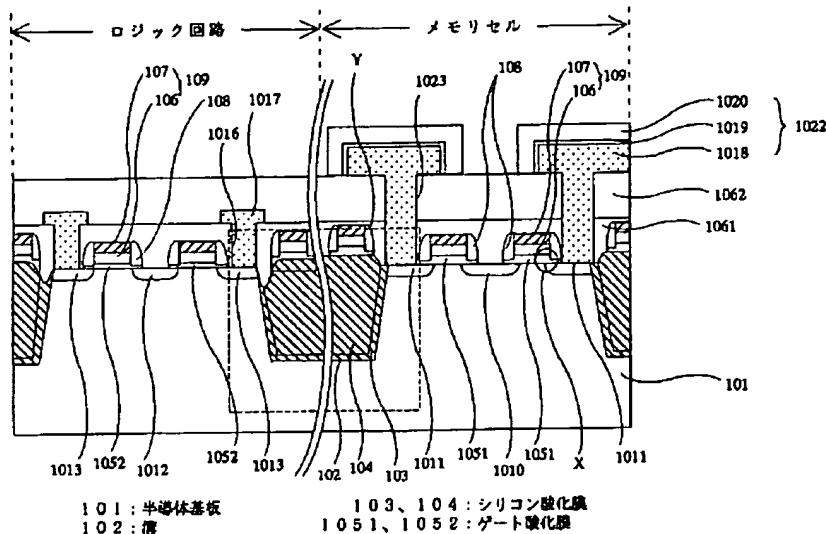
【図18】



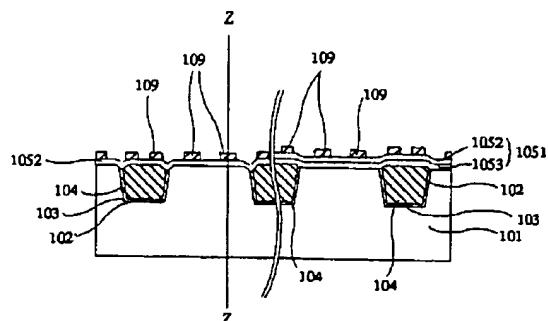
【図19】



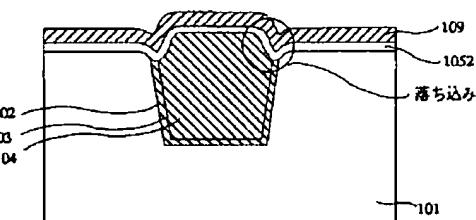
【図20】



【図26】



【図27】



フロントページの続き

(72)発明者 伊藤 康悦

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 5F032 AA16 AA35 AA44 AA77 BB06

CA07 CA14 CA17 DA28 DA33

DA43 DA53 DA78

(72)発明者 堀田 勝之

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

5F048 AA01 AA07 AB01 AB03 AC03

AC10 BA01 BB06 BB08 BB12

BB16 BC06 BD04 BF04 BF06

BG13 DA25

5F083 AD10 AD19 AD45 GA06 JA05

JA32 NA01 NA08 PR38 PR44

PR48 ZA07